

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-088442

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H04L 25/02

G06F 13/42

H04L 25/38

H04L 25/49

(21)Application number : 09-250656

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 16.09.1997

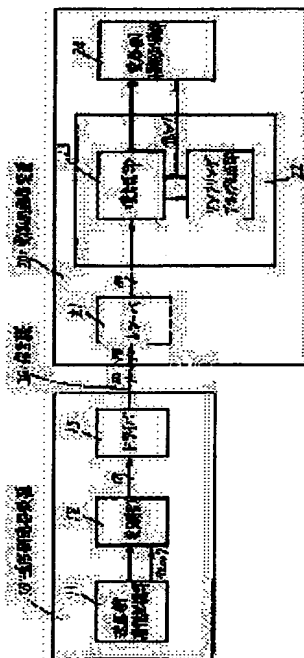
(72)Inventor : MATSUKAWA HIDEO  
YASUI HITOSHI

## (54) DATA COMMUNICATION EQUIPMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a data communication equipment capable accelerating data transfer communication speed by using plural signal lines.

**SOLUTION:** Data is transferred from a transmission side equipment 10 to a reception side equipment 20 through the use of plural( $m>1$ ) signal lines in the communication equipment. The equipment is provided with a modulating part 12 modulating information to be transferred at the time of transmission and expressing the information by the change of  $n(m>n\geq 1)$ -number signals and demodulating parts 22 and 23 generating a sampling clock by detecting the change of the  $n$ -number signals at the time of reception and demodulating it into original data.



## LEGAL STATUS

[Date of request for examination] 13.12.2000

[Date of sending the examiner's decision of rejection] 06.10.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-88442

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 L 25/02

H 0 4 L 25/02

J

G 0 6 F 13/42

G 0 6 F 13/42

3 4 0 A

H 0 4 L 25/38

H 0 4 L 25/38

A

25/49

25/49

C

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号

特願平9-250656

(22) 出願日

平成9年(1997) 9月16日

(71) 出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72) 発明者 松川 英男

東京都武蔵野市中町2丁目9番32号 横河  
電機株式会社内

(72) 発明者 安井 均

東京都武蔵野市中町2丁目9番32号 横河  
電機株式会社内

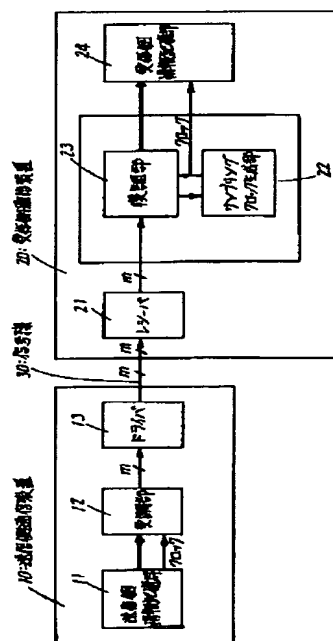
(74) 代理人 弁理士 東野 博文

(54) 【発明の名称】 データ通信装置

(57) 【要約】

【課題】 複数本の信号線を用いて、データ転送の通信速度の高速化を実現するデータ通信装置を提供すること。

【解決手段】 複数 ( $m > 1$ ) 個の信号線を用いて送信側機器 10 から受信側機器 20 にデータ転送する通信装置において、送信時には転送する情報を変調して、当該情報を  $n$  ( $m > n \geq 1$ ) 個の信号の変化によって表現する変調部 12 と、受信時には  $n$  個の信号の変化を検出することによりサンプリング用クロックを生成し、元のデータに復調する復調部 22, 23 を有することを特徴としている。



## 【特許請求の範囲】

【請求項1】複数 ( $m > 1$ ) 個の信号線を用いて送信側機器 (10) から受信側機器 (20) にデータ転送する通信装置において、

送信時には転送する情報を変調して、当該情報を  $n$  ( $m > n \geq 1$ ) 個の信号の変化によって表現する変調部と、受信時には  $n$  個の信号の変化を検出することによりサンプリング用クロックを生成し、元のデータに復調する復調部と、

を有することを特徴とするデータ通信装置。

【請求項2】複数 ( $m > 1$ ) 個の信号線を用いて送信側機器 (10) から受信側機器 (20) にデータ転送する通信装置において、

前記送信側機器は、転送する情報を記憶する送信側情報記憶部 (11) と、この転送する情報を予め定められた個数 ( $n$ ) の信号変化に変調する変調部 (12) と、この変調された信号を信号線に送信するドライバ (13) を有し、

前記受信側機器は、この信号線から信号を受信するレシーバ (21) と、この受信した信号の変化からサンプリングクロックを生成する手段 (22) と、このサンプリングクロックを用いて受信した信号を元の信号に復調する手段 (23) を有することを特徴とするデータ通信装置。

【請求項3】前記予め定められた個数 ( $n$ ) の信号変化は、信号線の本数よりも少なく、且つ1以上に定められたことを特徴とする請求項2記載のデータ通信装置。

【請求項4】前記送信側情報記憶部は、前記信号線の本数にみあう入力端子数を有するシフトレジスタと、このシフトレジスタにクロック信号を供給する手段を有することを特徴とする請求項2記載のデータ通信装置。

【請求項5】前記受信側機器は、前記復調手段で復調された情報を記憶する受信側情報記憶部 (24) を有することを特徴とする請求項2記載のデータ通信装置。

【請求項6】前記受信側情報記憶部は、前記信号線の本数にみあう入力端子数を有するシフトレジスタと、このシフトレジスタに前記サンプリングクロック信号を供給する手段を有することを特徴とする請求項5記載のデータ通信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、工業用の制御機器間のデータ転送に用いられるデータ通信装置に掛り、特に複数の信号線を用いてデータ転送速度を高める改良に関する。

## 【0002】

【従来の技術】従来、送信側と受信側でハンドシェイクを取らずにデータ転送するデータ転送方式は、RS-232等の調歩同期方式、IEEE1394等のDS-LINK方式、SCSIの同期モード転送等に用いられる

同期クロック方式が知られている。調歩同期方式は、一本のデータ信号を用いるもので、送信側ではデータの間にスタートビット"0"とストップビット"1"を挿入し、受信側ではスタートビット、即ち"1"→"0"に変化する箇所の検出により、同期をとるものである (例えば『シリアル伝送完全マスタ』稲垣完治、小野寺徹著、CQ出版社)。

【0003】DS-LINK方式は、データ送信用とストローブ信号用の二本の信号線を組み合わせて用いるもので、送信側では、同じ値を送り続けるときはストローブ信号の状態を変え、データの値が変わるときはストローブ信号の状態を変えない。受信側では、データ信号とストローブ信号の排他的論理和をとり、同期用のクロック信号を抽出する。特徴としては、データ信号中にクロック信号を混入させる必要がなくなると共に、PLL (phase-locked-loop) 回路が不要になり、回路構成が簡単になる (例えば、日経エレクトロニクス第675号170頁; 1996年11月4日号)。

【0004】同期クロック方式は、一本又は複数のデータ信号と、送信側と受信側の共通のストローブ様クロックを用いるものであり、クロック信号に同期してデータを送信又は受信するものである。例えば、送信側では、クロックの立ち下がりに同期してデータ信号を変化させる。受信側では、クロックの立ち上がりに同期してデータ信号を受信する (『シリアル伝送完全マスタ』稲垣完治、小野寺徹著、CQ出版社)。

## 【0005】

【発明が解決しようとする課題】しかし、調歩同期方式では、必要とされる信号線は1本であるが、データ変化によってデータの同期を行うため、一定間隔でスタートビットとストップビットを挿入する分、余計に時間を必要とする課題があった。また、より高速にデータ転送を行うためには、転送する周波数をあげることになるが、受信側では高い周波数のクロックでPLL回路を構成してデータをサンプリングするため、回路規模が大きくなると共に、高速化が困難になるという課題があった。

【0006】DS-LINK方式では、データ信号とストローブ信号の一方が変化してから他方が変化する迄に1クロックのタイムマージンがあり、同期クロック方式のような符号化方式に比較して二倍のマージンとなる。そこで、同じマージンならば、転送速度を2倍にすることが可能である。しかし、ケーブルやデバイス等の素材の特性から転送速度の高速化には限界があり、同じ素材でより大容量のデータを転送する場合には、バラレルに信号線を増やすしかない。しかし、DS-LINK方式では信号線を増やすことが出来ないという課題があった。

【0007】同期クロック方式では、ストローブ用のクロックがデータ用信号線とは別であるため、バラレルにデータ用信号線を増やすことが可能である。しかし、デー

タ信号が変化してからストロブ信号が変化するまでのタイムマージンが1/2クロックと厳しく、周波数クロックを増大させることが困難であるという課題があった。

【0008】本発明はこのような課題を解決したもので、複数本の信号線を用いてデータ転送の通信速度の高速化を実現するデータ通信装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記の目的を達成するために、発明の請求項1記載のデータ通信装置は、複数 ( $m > 1$ ) 個の信号線を用いて送信側機器10から受信側機器20にデータ転送する通信装置において、送信時には転送する情報を変調して、当該情報を  $n$  ( $m > n \geq 1$ ) 個の信号の変化によって表現する変調部12と、受信時には  $n$  個の信号の変化を検出することによりサンプリング用クロックを生成し、元のデータに復調する復調部22, 23を有することを特徴としている。

【0010】本発明の請求項1によれば、変調部では転送する情報を予め定められた  $n$  個の信号の変化によって表現し、復調部では  $n$  個の信号の変化を検出することによりサンプリング用クロックを生成しているので、クロック用信号線を設ける必要がなく、タイムマージンの関係で転送速度の高速化が容易である。また、変調部では転送する情報を予め定められた  $n$  個の信号の変化によって表現し、変調部では  $n$  個の信号の変化を検出することにより元のデータに復調しているので、パラレルに信号線を増やすことができる。

【0011】

【発明の実施の形態】以下図面を用いて、本発明を説明する。図1は本発明の一実施例を示す構成ブロック図である。ここでは、送信側通信装置10と受信側通信装置20との間は  $m$  本の信号線30で接続されている。送信側通信装置10は、転送する情報を記憶する送信側情報記憶部11と、この転送する情報を予め定められた個数  $n$  の信号変化に変調する変調部12と、この変調された信号を信号線30に送信するドライバ13を有している。受信側通信装置20は、この信号線30から信号を受信するレシーバ21と、この受信した信号の変化からサンプリングクロックを生成するサンプリングクロック生成部22と、このサンプリングクロックを用いて受信した信号を元の信号に復調する復調部23と、復調部23で復調された情報を記憶する受信側情報記憶部24を有している。以下、信号線30の本数  $m$  を3本、信号変化数  $n$  を1個として説明する。

【0012】図2は送信側通信装置10の回路図である。送信側情報記憶部11には、多段のシフトレジスタを用いている。シフトレジスタは、信号線が3本であるので、データ入力が3個  $D_0, D_1, D_2$  であり、データ出力が3個  $Q_0, Q_1, Q_2$  設けられると共に、クロック端子C

LKにクロック信号が入力されている。変調部12にはT型フリップフロップが3個並列に設けられており、トグル端子Tに対して入力信号  $R_0, R_1, R_2$  が1のとき出力  $S_0, S_1, S_2$  が変化し、入力信号  $R_0, R_1, R_2$  が0のとき出力  $S_0, S_1, S_2$  は変化しない。ドライバ13は、各信号線に入力信号  $S_0, S_1, S_2$  に対応する出力信号  $S'_0, S'_1, S'_2$  を送信する。

【0013】図3は受信側通信装置20の回路図である。レシーバ21は、各信号線からの入力信号  $S''_0, S''_1, S''_2$  に対応する受信信号  $S'''_0, S'''_1, S'''_2$  を生成する。復調部23は、D型フリップフロップと排他的論理和回路XORを有している。D型フリップフロップは、D入力に受信信号  $S'''_0, S'''_1, S'''_2$  が入力され、Q出力がXORの一方の入力端子に送られ、クロック端子にはサンプリングクロック生成部22からのクロックが供給される。XORの他方の入力端子には受信信号  $S'''_0, S'''_1, S'''_2$  が入力され、出力信号はサンプリングクロック生成部22と受信側情報記憶部24に送られる。

【0014】サンプリングクロック生成部22は、 $n$  個の変化検出回路と遅延回路を有しており、復調部23の3個のXORの出力信号  $t_0, t_1, t_2$  のうち1個に信号変化を検出した場合に、サンプリングクロックを生成して、復調部23と受信側情報記憶部24に送る。受信側情報記憶部24には、多段のシフトレジスタを用いており、3個のXORの出力信号  $t_0, t_1, t_2$  がシフトレジスタのデータ入力  $D_0, D_1, D_2$  に入力されている。データ出力は3個  $Q_0, Q_1, Q_2$  設けられると共に、クロック端子CLKにサンプリングクロック信号が入力されている。

【0015】このように構成された装置の動作を次に説明する。ここでは、信号線30の本数  $m$  を3本、信号変化数  $n$  を1個とする例を示しているので、1回に送ることのできる情報は、 $C_1$ 、即ち3個の内の1個を選ぶ組合せであり、3種類となっている。ここでは、送信側情報記憶部11と受信側情報記憶部24の持つ3種類の情報A, B, Cをシフトレジスタの3ビット情報を用いて次のように定義する。

$A = (1, 0, 0)$

$B = (0, 1, 0)$

40  $C = (0, 0, 1)$

【0016】図4は送信側情報記憶部11の情報が変調前、変調後、ドライバへの出力と変化する状況を表している。送信側情報記憶部11から、送信クロックに同期して変調部12に情報 ( $R_0, R_1, R_2$ ) が送られる。変調部12では、送られた情報を  $n = 1$  個の信号レベルの変化で表現するように変調してドライバ13に送る。図中、“○”は前回値と比べて各信号線のレベルが変化することを示し、“—”は前回値と比べて各信号線のレベルが変化しないことを示す。ドライバ13は、変調された情報を受信側通信装置20に送信する。

【0017】図5は受信側通信装置20でレシーバの入力が復調の前後で変化する状況を表している。復調部23では、サンプリングクロック信号を受けて、前回値との比較を行い、信号レベルの変化を抽出する。復調された情報( $t_0, t_1, t_2$ )は、受信側情報記憶部24に送られる。受信側情報記憶部24に送られた情報は、送信側情報記憶部11の持っていた情報A, B, Cと等しい。即ち、送信側通信装置10から受信側通信装置へ情報を転送することができる。

【0018】尚、上記実施例においては、送信側情報記憶部11と受信側情報記憶部24をシフトレジスタで構成する例を示したが、本発明はこれに限定されるものではなく、他のデータバッファ形式を用いてもよい。また、信号線30の本数 $m$ を3本、信号変化数 $n$ を1個とする例を示したが、信号線の本数は更に4本以上でもよく、また信号変化数 $n$ は2個以上でも差し支えない。

【0019】

【発明の効果】以上説明したように、請求項1記載の本発明によれば、変調部では転送する情報を予め定められた $n$ 個の信号の変化によって表現し、復調部では $n$ 個の信号の変化を検出することによりサンプリング用クロックを生成しているので、クロック用信号線を設ける必要がない。そこで、同期クロック方式に比較してタイムマージンは2倍であり、若し同じタイムマージンを持たせるとすると2倍の転送速度を実現できるため、より大容量のデータを転送できる。また、変調部では転送する情報を予め定められた $n$ 個の信号の変化によって表現し、変調部では $n$ 個の信号の変化を検出することにより元のデータに復調しているので、DS-LINK方式では不可能であった複数の情報の同時転送ができ、より大容量のデータ転送ができる。

【0020】請求項2記載の本発明によれば、送信側機器は、転送する情報を記憶する送信側情報記憶部11と、この転送する情報を予め定められた個数 $n$ の信号変化に変調する変調部12と、この変調された信号を信号線に送信するドライバ13を有し、受信側機器は、この信号線から信号を受信するレシーバ21と、この受信した信号の変化からサンプリングクロックを生成する手段

22と、このサンプリングクロックを用いて受信した信号を元の信号に復調する手段23を有する構成である。これによれば、データ転送用の送受信装置の構成が明確になる。

- 05 【0021】ここで、請求項3のように、予め定められた個数 $n$ の信号変化は、信号線の本数よりも少なく、且つ1以上に定めることで、従来のDS-LINK方式を多ビットに展開できるという効果がある。また、請求項4のように、送信側情報記憶部は、前記信号線の本数にみあう入力端子数を有するシフトレジスタと、このシフトレジスタにクロック信号を供給する手段を有する構成とすると、ビット列信号のデータ転送に適する。また、請求項5のように、受信側機器は、前記復調手段で復調された情報を記憶する受信側情報記憶部24を有する構成とすると、受信データを処理するバッファ回路を有することになり、他の機器との接続が容易になる。ここで、請求項6のように受信側情報記憶部は、前記信号線の本数にみあう入力端子数を有するシフトレジスタと、このシフトレジスタにサンプリングクロック信号を供給する手段を有する構成とすると、ビット列信号のデータ受信に適する。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成ブロック図である。

- 25 【図2】送信側通信装置10の回路図である。

【図3】受信側通信装置20の回路図である。

【図4】送信側情報記憶部11の情報が変調前、変調後、ドライバへの出力と変化する状況を表している。

- 30 【図5】受信側通信装置20でレシーバの入力が復調の前後で変化する状況を表している。

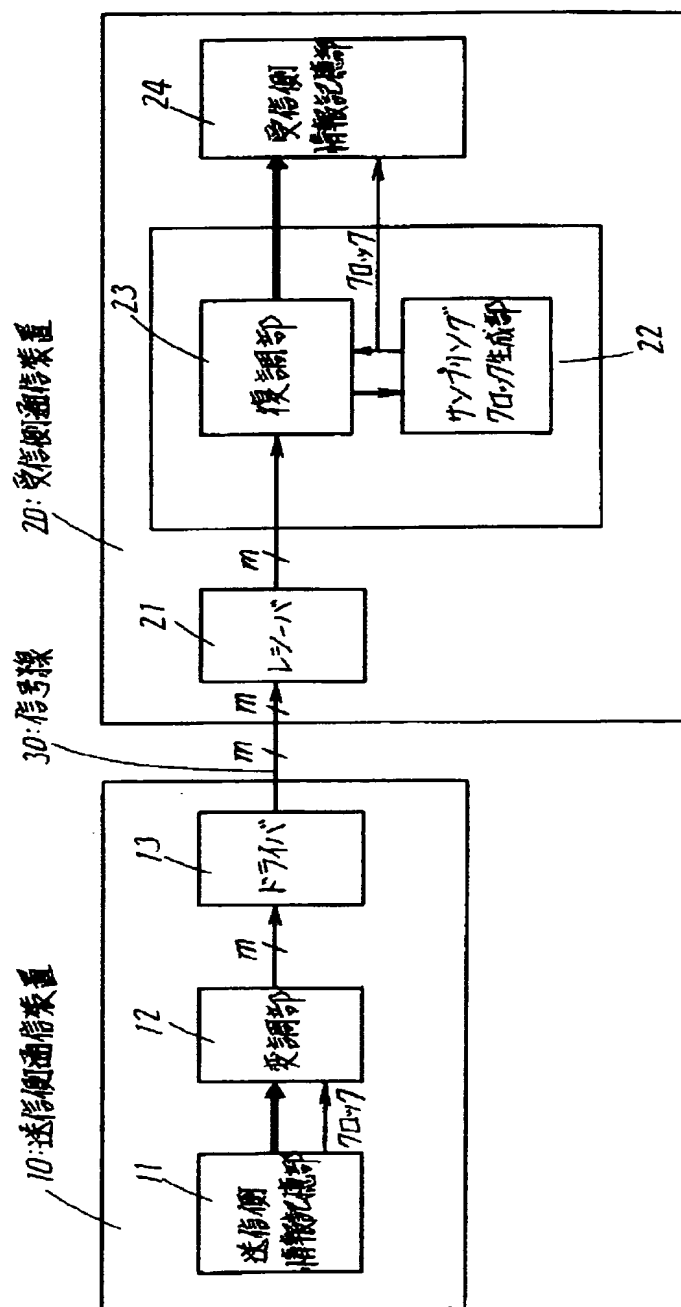
【符号の説明】

- 10 送信側機器  
12 変調部  
20 受信側機器  
22 サンプリング用クロック生成部  
23 復調部  
30 信号線

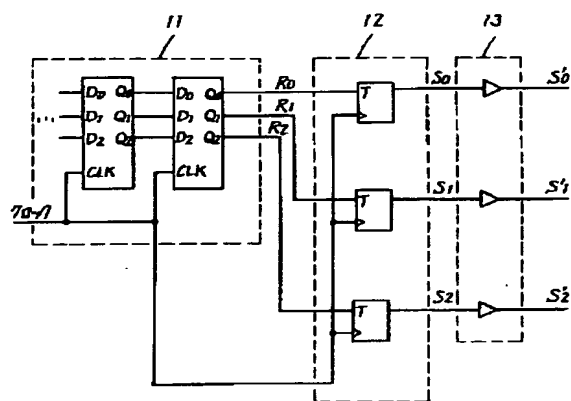
【図4】

	変調前の値			:	変調後の値			:	ドライバの出力		
	R0	R1	R2		S0	S1	S2		S'0	S'1	S'2
A:	1	0	0	:	○	—	—	:	○	—	—
B:	0	1	0	:	—	○	—	:	—	○	—
C:	0	0	1	:	—	—	○	:	—	—	○

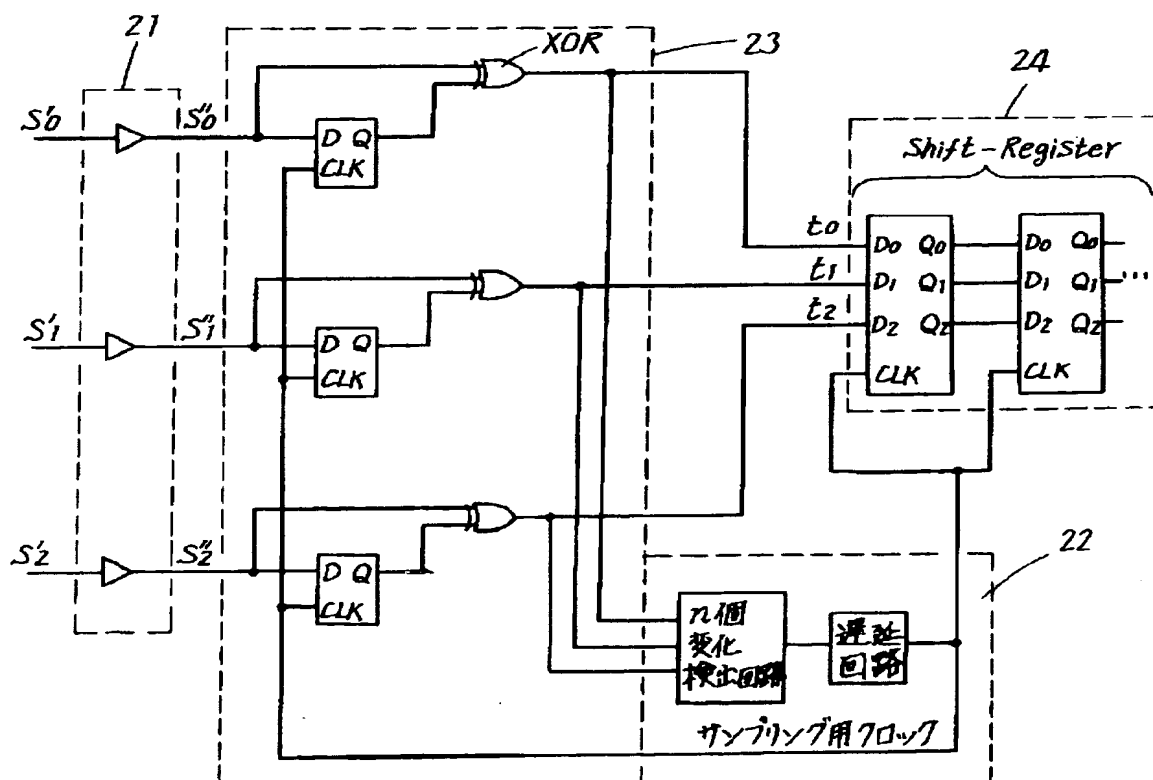
【図1】



【図2】



【図3】



【図5】

レシーバの入力			復調前の値			復調後の値		
S' 0	S' 1	S' 2	: S" 0	S" 1	S" 2	: t 0	t 1	t 2
○	—	—	: ○	—	—	: 1	0	0
—	○	—	: —	○	—	: 0	1	0
—	—	○	: —	—	○	: 0	0	1
								: (=A)
								: (=B)
								: (=C)